

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takeshi KAJIYAMA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

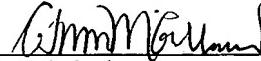
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-054278	February 28, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月28日
Date of Application:

出願番号 特願2003-054278
Application Number:

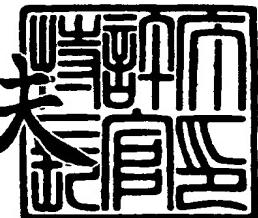
[ST. 10/C] : [JP2003-054278]

出願人 株式会社東芝
Applicant(s):

2003年10月15日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 13738901
【提出日】 平成15年 2月28日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/00
【発明の名称】 半導体装置
【請求項の数】 8
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝
横浜事業所内
【氏名】 梶 山 健
【特許出願人】
【識別番号】 000003078
【住所又は居所】 東京都港区芝浦一丁目1番1号
【氏名又は名称】 株式会社 東 芝
【代理人】
【識別番号】 100075812
【弁理士】
【氏名又は名称】 吉 武 賢 次
【選任した代理人】
【識別番号】 100088889
【弁理士】
【氏名又は名称】 橋 谷 英 俊
【選任した代理人】
【識別番号】 100082991
【弁理士】
【氏名又は名称】 佐 藤 泰 和

【選任した代理人】**【識別番号】** 100096921**【弁理士】****【氏名又は名称】** 吉 元 弘**【選任した代理人】****【識別番号】** 100103263**【弁理士】****【氏名又は名称】** 川 崎 康**【手数料の表示】****【予納台帳番号】** 087654**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

シリコン基板の表面部分に所定の間隔で形成された一対のソース・ドレイン領域と、

これらのソース・ドレイン領域に挟まれたチャネル領域と、

このチャネル領域の上方に、ゲート絶縁膜を介して形成された、ゲートと、

前記シリコン基板上に形成され前記ソース・ドレイン領域と電気的にコンタクトし、且つ、上部が第1のサリサイドとされている、シリコンプラグと、

を有するセルトランジスタ、

を備えることを特徴とする、半導体装置。

【請求項 2】

前記半導体装置は、複数の第1のトランジスタを有するメモリーセル部と、これらのメモリーセルを動作させるための第2のトランジスタを有する周辺回路部と、を備え、

前記第1のトランジスタを前記セルトランジスタとした、
ことを特徴とする、請求項1に記載の半導体装置。

【請求項 3】

前記周辺回路部における前記第2のトランジスタのソース・ドレイン領域の表面部分としての前記シリコン基板の表面を第2のシリサイドとなし、この第2のシリサイドと前記第1のシリサイドの高さが互いに異なっている、請求項2に記載の半導体装置。

【請求項 4】

前記第1のシリサイドのうちの所定のものに配線がコンタクトされている、請求項1乃至3のいずれかに記載の半導体装置。

【請求項 5】

前記シリコン基板はS O I 基板であることを特徴とする請求項1乃至4のいずれかに記載の半導体装置。

【請求項6】

前記第1及び第2のトランジスタのうちの少なくとも一方におけるゲートの上部をサリサイドとしたことを特徴とする、請求項2乃至5のいずれかに記載の半導体装置。

【請求項7】

前記第1のトランジスタのゲートの上部はサリサイドとせず、前記第2のトランジスタのゲートの上部をサリサイドとしたことを特徴とする請求項6に記載の半導体装置。

【請求項8】

シリコン基板に所定の間隔で一対のソース・ドレイン領域を形成し、これらに挟まれたチャネル領域上にゲート絶縁膜を介してゲートを形成し、このシリコンプラグの上部をサリサイドとすることを特徴とする、半導体装置の製造方法。

【発明の詳細な説明】**【0001】****【産業上の利用分野】**

本発明は、半導体装置に係り、特に、電荷蓄積境界にP N ジャンクションが形成される半導体メモリにおいて、ジャンクションリークを防止しながら低配線抵抗を実現した、半導体装置に関する。

【0002】**【従来技術】**

近年、半導体メモリの分野においては高集積化を実現するために、セル内に電荷蓄積領域を配置した構造のものが研究されている。

【0003】

かかる半導体装置としては、F B C メモリが知られている。このF B Cとは、F l o a t i n g - B o d y C e l l の略であり、I S S C C 2 0 0 2 (International Solid-State Circuit Conference 2002年：2002年2月3日から7日にわたりサンフランシスコで開催) における講演で紹介された。その詳細は、講演番号9. 1の「F B C C e l l 」によって明らかにされている。

【0004】

このFBCメモリはSOI（シリコンオンインシュレータ）に形成されたMOSトランジスタからなるセル構造を有し、トランジスタの下に電荷を蓄える電荷蓄積領域を設けている。

【0005】

このようなFBCメモリで、特に電荷蓄積領域境界にPNジャンクションが形成される構造のものにおいては、ジャンクションリークを低減するために、PNジャンクション上のプラグ及び配線としては、ポリシリコンプラグ等を用いることがある。しかしポリシリコンプラグでは、低配線抵抗を実現するのが難しい。

【0006】

図11は、本発明者の知得する半導体装置として例示するFBCメモリの平面図であり、図12は、図11のA-A線断面図である。

【0007】

各図において、UCはMOSトランジスタを構成するユニットセルを示す。図12に示すように、P型シリコンの支持基板1の上に、n型のウェル1aを介して、埋め込み酸化膜（絶縁層）2を配置し、その上にシリコン層3を形成することでSOI構造としている。シリコン層3には、ソース・ドレイン領域（拡散層領域）4，4とそれらに挟まれたチャネル領域5が形成されている。拡散層領域4の上方には、ソース線SLあるいはビット線BLが形成され、チャネル領域5の上には、ゲート絶縁膜7を介してワード線（ゲート）WLが形成されている。拡散層4（D）（ドレイン）とビット線BLはコンタクトプラグCPで相互に接続される。コンタクトプラグCPとソース線SLはポリシリコンで作られている。ソース線SLはグランドに接続される。図中8は層間絶縁膜（BPSG）である。

【0008】

以上のような構造を持つFBCメモリにおいては、拡散層領域4（D）からチャネル領域5を介して拡散層領域（S）（ソース）へ電流が流れると、チャネル領域5内にホットホールが発生する。このホットホールはこのチャネル領域5内に蓄積される。つまり、チャネル領域5を、データ（ホール）を蓄積するための容

量、つまり電荷蓄積領域とすることでメモリ動作を行わせている。つまり電荷蓄積領域はMOS型トランジスタであるユニットセルUCにおけるゲート（ワード線WL）の下に配置されることとなる。FBCメモリには、回路面積を大幅に低減でき、高集積化を図ることができるという利点がある。

【0009】

しかしFBCには、データの蓄積時間が従来のDRAMにおけるキャパシタと比較して短い。この蓄積時間を延ばすためには、拡散層領域4部分のジャンクションリークを低減することが考えられる。同時に、電荷蓄積領域においてはホットホールを発生させる必要があるために、グランドに接続されるソース線SLや、ビット線BLを低抵抗にすることも考えられる。このため、ポリシリコンからなるソース線SLと、ビット線BLコンタクトプラグCPと、をサリサイドを介して接続することにより、低配線抵抗としたものの一例が図13、図14に示される。これらの2つの図は1つの半導体装置のそれぞれ異なる部分の断面図である。特に、図13はFBCセル部分、図14はFBC周辺回路部分を示す。これらの図において示すように、ポリシリコンで構成される電極に対してサリサイドプロセスを適用し、ビット線BL、ワード線WL、ソース線SLにおけるコンタクト部分及び電気的接続部分にサリサイド部11を形成し、配線の低抵抗化を実現している。図中、12、13、14はゲート側壁である。

【0010】

しかし、このような構成によれば、図13からも明らかなように、シリコン（単結晶）層3の表面が直接的にサリサイド化されてしまう。このため、接合部分に界面反応や結晶欠陥部分が発生してしまい、結局ジャンクションリークの多い構造となってしまう。その結果、メモリ動作に重要な電荷の蓄積能力に問題を生じてしまう。

【0011】

【非特許文献】

ISSCC 2002 / SESSION 9 / DRAM AND FERROELECTRIC MEMORIES / 9.1
Memory Design Using One Transistor Gain Cell on SOI / TAKASHI Ohsawa et al.

【0012】**【発明が解決しようとする課題】**

本発明者の知得する半導体装置は以上のように構成されていたので、ホットホールを蓄積する電荷蓄積領域における容量を増大するために配線抵抗を下げようとすると、結果としてジャンクションリーカークが増大し、電荷の蓄積能力を減殺してしまうという問題があった。

【0013】

従って、本発明の目的は、上記のような従来技術の問題点を解消し、配線抵抗の低減と、電荷蓄積能力の向上を同時に達成可能な半導体装置を提供することにある。

【0014】**【課題を解決するための手段】**

上記目的を達成するために、シリコン基板の表面部分に所定の間隔で形成された一対のソース・ドレイン領域と、これらのソース・ドレイン領域に挟まれたチャネル領域と、このチャネル領域の上方に、ゲート絶縁膜を介して形成された、ゲートと、前記シリコン基板上に形成され前記ソース・ドレイン領域と電気的にコンタクトし、且つ、上部が第1のサリサイドとされている、シリコンプラグと、を有するセルトランジスタ、を備えることを特徴とする、半導体装置を提供するものである。

【0015】

上記目的を達成するために、本発明は、更に、シリコン基板に所定の間隔で一対のソース・ドレイン領域を形成し、これらに挟まれたチャネル領域上にゲート絶縁膜を介してゲートを形成し、このシリコンプラグの上部をサリサイドとすることを特徴とする、半導体装置の製造方法を提供するものである。

【0016】**【発明の実施の形態】**

以下、図面を参照しながら本発明の実施の形態を説明する。

【0017】

実施形態1.

図1、図2は本発明の実施形態1の半導体装置の断面図である。特に、図1はFBCメモリのセル部分の断面図であり、図2はFBCメモリ周辺回路部分の断面図である。つまり、図1、図2は、1つの半導体装置のそれぞれ異なる断面図である。

【0018】

図2は図14と同一の構成のものとして表される。即ち、図2において示すように、FBCメモリ周辺回路部分においては、ゲート（ワード線WL）の上面と、ドレイン・ソース領域としての拡散層領域4(D)（ドレイン）、4(S)（ソース）の上面（ビット線BLとソース線SLに接続される部分）は、従来のロジックLSI等の場合と同様に、サリサイド11, 11, 11とされている。しかし図1は図11とは異なる構造として示される。即ち、図1に示すように、FBCメモリのセル部分においては、ワード線WLの上面はそのままサリサイド11とされているが、拡散層領域4(D), 4(S)の上面（ビット線BLコンタクト部とソース線SLコンタクト部）部分はそのままサリサイド化されていない。その代わりに、拡散層領域4(D), 4(S)の上にはDRAM等で採用されているポリシリコンプラグ21(D), 21(S)を形成し、その上部をサリサイド21(D), 21(S)としている。図中、4aは、拡散層領域4のうちの不純物濃度の薄い、いわゆる、LDD部である。

【0019】

以上のような構成により、ワード線WL、ビット線BL、ソース線SLの各配線の低抵抗化を実現すると共に各拡散層領域4（シリコン層3）の表面はサリサイド化していないため、接合部分の界面反応および結晶欠陥部分の発生を未然に防止でき、ジャンクションリークの悪化を防止することができる。

【0020】

以上述べたように、実施形態1の半導体装置によれば、低抵抗配線と安定した電荷蓄積部分とを形成できるので、半導体メモリとしての性能を向上することができる。

【0021】

実施形態2.

図3、図4は本発明の実施形態2の半導体装置の断面図である。S O I構造の基板に代わり、バルクシリコン基板を用いた構成の半導体メモリについての実施形態である。図3はメモリのセル部分の断面図であり、図4はメモリ周辺回路部分の断面図である。この実施形態では、図3からわかるように、P Nジャンクションで、電荷蓄積層を囲むようにしたものである。

【0022】

図3において示すように、本実施形態の半導体装置のセル部分では、シリコン層3に埋込みとしてN型領域8を形成し、このN型領域23と拡散層領域4, 4とで囲まれた部分を電荷蓄積領域とし、セルの下方に容量を形成するように構成されている。

【0023】

また、図4において示すように、実施形態1と同様に、メモリ周辺回路部分は、図2と同じ構成を有する。

【0024】

以上のような構成により、ワード線WL、ピット線BL、ソース線SLの各配線の低抵抗化を実現すると共に各拡散層領域4の表面、つまりシリコン層3の表面はサリサイドしていないため、接合部分の界面反応および結晶欠陥部分の発生を未然に防止でき、ジャンクションリークの悪化を防止することができる。

【0025】

以上述べたように、この実施形態2においても、実施形態1の半導体装置と同様に、低抵抗配線の実現と安定した電荷蓄積部分の形成が達成できるので、半導体メモリとしての性能を向上することができる。

【0026】

実施形態3.

図5、図6は本発明の実施形態3の半導体装置の断面図である。図5はF B Cメモリのセル部分の断面図であり、図6はF B Cメモリ周辺回路部分の断面図である。この実施形態3は、先述の実施形態1にやや対応しており、実施形態1の図1、図2も参照しながら説明する。本実施形態3においては、図5、図6からわかるように、実施形態1の図1、図2とは異なり、ワード線（ゲート）WLの

上部は、従来のDRAM等と同様に、サリサイド化することなく、そのままとしている。図5、図6におけるその他の構成は図1、図2と同様である。

【0027】

以上のような構成により、ビット線BL及びソース線SLの各配線の低抵抗化は実現される。これと共に拡散層領域4の表面はサリサイド化されない。このため、接合部分の界面反応および結晶欠陥部分の発生を未然に防止でき、ジャンクションリーグの悪化を防止することができる。更に、ゲートの上面がサリサイド化されないため、セル部でのセルフアラインコンタクトが可能となる。

【0028】

以上述べたように、実施形態3の半導体装置によれば、低抵抗配線の実現と、安定した電荷蓄積部分の形成がなされるので、半導体メモリとしての性能を向上することができるだけでなく、セルフアラインコンタクトの実現により生産性が向上する。

【0029】

実施形態4.

図7、図8は本発明の実施形態4の半導体装置の断面図である。SOIに代わり、バルクシリコン基板を用いた構成の半導体メモリについて例示するものである。図7はメモリのセル部分の断面図であり、図8はメモリ周辺回路部分の断面図である。

【0030】

図7において示すように、本実施形態の半導体装置は、支持基板1に埋込層としてN型領域8を形成し、このN型領域8と拡散層4, 4で囲まれた部分を電荷蓄積領域としたもので、セルの下方に容量が形成されている。

【0031】

また、図8において示すように、メモリ周辺回路部分においては、拡散層領域4, 4の上面のビット線BLあるいはソース線SLに対応する部分は、従来のロジックLSI等の場合と同様に、サリサイド化されてサリサイド部11となっている。しかし、ゲート（ワード線WL）の上面についてはサリサイド化していない。一方、図7において示すように、メモリのセル部分においては、ワード線W

Lの上面も、拡散層領域4, 4の上面（BLコンタクト部とソース線SLコンタクト部）もサリサイド化していない。その代わりに、拡散層領域4, 4の上にはDRAM等で採用されているポリシリコンプラグ7, 7を形成し、その上をサリサイド化してサリサイド部11としている。

【0032】

以上のような構成により、ビット線BL、ソース線SLの各配線の低抵抗化を実現できる。これと共に拡散層領域4の表面はサリサイド化されないため、接合部分の界面反応および結晶欠陥部分の発生を未然に防止でき、ジャンクションリーカの悪化を防止することができる。更に、ゲートの上面がサリサイド化されないため、セル部でのセルフアラインコンタクトが可能となる。

【0033】

以上述べたように、実施形態4の半導体装置によれば、低抵抗配線の実現と、安定した電荷蓄積部分の形成がなされるので、半導体メモリとしての性能を向上することができるだけでなく、セルフアラインコンタクトの実現により生産性が向上する。

【0034】

実施形態5.

図9、図10は本発明の実施形態5の半導体装置の断面図であり、特に、図9はFBCメモリのセル部分の断面図であり、図10はFBCメモリ周辺回路部分の断面図である。この実施形態5の図9、図10は、先述の実施形態1の図1、図2と対応している。本実施形態5は、実施形態1の図1において、ワード線（ゲート）WLの上部をサリサイド化することなく、そのままとしたものである。図9、図10のその他の構成は、図1、図2と同じである。

【0035】

本実施形態において、FBCメモリのセル部分においてはゲートの上面がサリサイド化されないため、セルフアラインコンタクトとなるが、周辺部ではゲートの上面がサイサイド化されるため、工程は複雑化する。なお、実施形態5と3の違いは以下の通りである。即ち、この周辺部のトランジスタのゲート（WL）の上面がサリサイド11とされている。ところが、実施形態3の図6のトランジス

タのゲート（WL）はサリサイドとされていない。

【0036】

以上のような構成により、ビット線BL、ソース線SLの各配線の低抵抗化を実現できる。これと共に拡散層領域4の表面はサリサイド化されないため、接合部分の界面反応および結晶欠陥部分の発生を未然に防止でき、ジャンクションリークの悪化を防止することができる。

【0037】

以上述べたように、実施形態5の半導体装置によれば、低抵抗配線と安定した電荷蓄積部分を形成できるので、半導体メモリとしての性能を向上することができる。なお、本実施形態では、FBCメモリセル部ではゲート上面をサリサイド化せずセルファアラインコンタクトとし、図10からわかるように、周辺部では上述のようにゲート上面をサリサイド化したため、周辺部では、工程が複雑化するという問題点はあるが、FBCメモリの当面の応用が混載型の集積回路とされているため、DRAMトランジスタと周辺トランジスタとして従来型のものが使用できるので、合わせ込みが容易になるというメリットがある。

【0038】

【発明の効果】

以上述べたように、本発明の半導体装置によれば、トランジスタのチャネル領域が電荷蓄積領域とされるトランジスタにおいて、ソース・ドレイン領域に対する配線抵抗とすることにより、電荷蓄積領域におけるホットホールの増大と、ジャンクション部分におけるリークを防止して、電荷保持能力を向上させることができる。

【図面の簡単な説明】

【図1】

本発明の実施形態1の半導体装置のセル部の断面図である。

【図2】

本発明の実施形態1の半導体装置のセル周辺部の断面図である。

【図3】

本発明の実施形態2の半導体装置のセル部の断面図である。

【図4】

本発明の実施形態2の半導体装置のセル周辺部の断面図である。

【図5】

本発明の実施形態3の半導体装置のセル部の断面図である。

【図6】

本発明の実施形態3の半導体装置のセル周辺部の断面図である。

【図7】

本発明の実施形態4の半導体装置のセル部の断面図である。

【図8】

本発明の実施形態4の半導体装置のセル周辺部の断面図である。

【図9】

本発明の実施形態5の半導体装置のセル部の断面図である。

【図10】

本発明の実施形態5の半導体装置のセル周辺部の断面図である。

【図11】

本発明者の知得する半導体装置の一例における平面図である。

【図12】

図11のA-A線断面図である。

【図13】

本発明者の知得する他の例におけるセル部の断面図である。

【図14】

本発明者の知得する他の例におけるセル周辺部の断面図である。

【符号の説明】

- 1 支持基板
- 1 a ウエル
- 2 埋め込み酸化膜
- 3 シリコン層
- 4 拡散層領域
- 5 チャネル領域

7 ゲート絶縁膜

8 層間絶縁膜

11 サリサイド部

12, 13, 14 ゲート側壁

21 ポリシリコンプラグ

23 N型領域

UC ユニットセル

WL ワード線

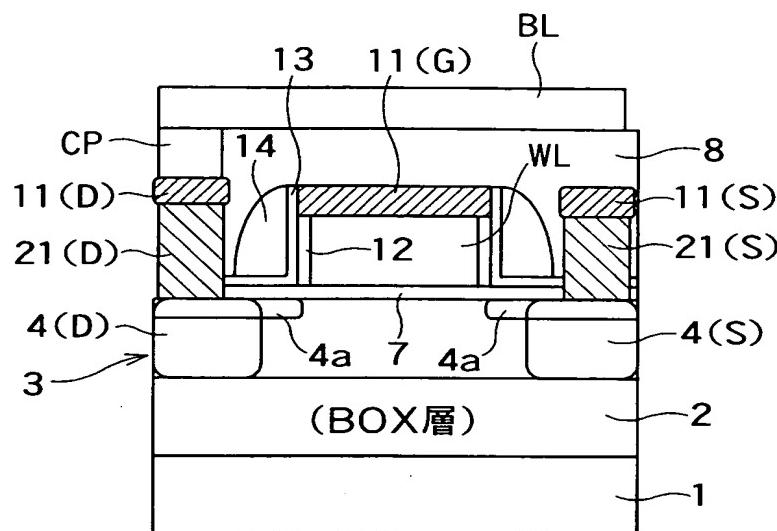
SL ソース線

BL ビット線

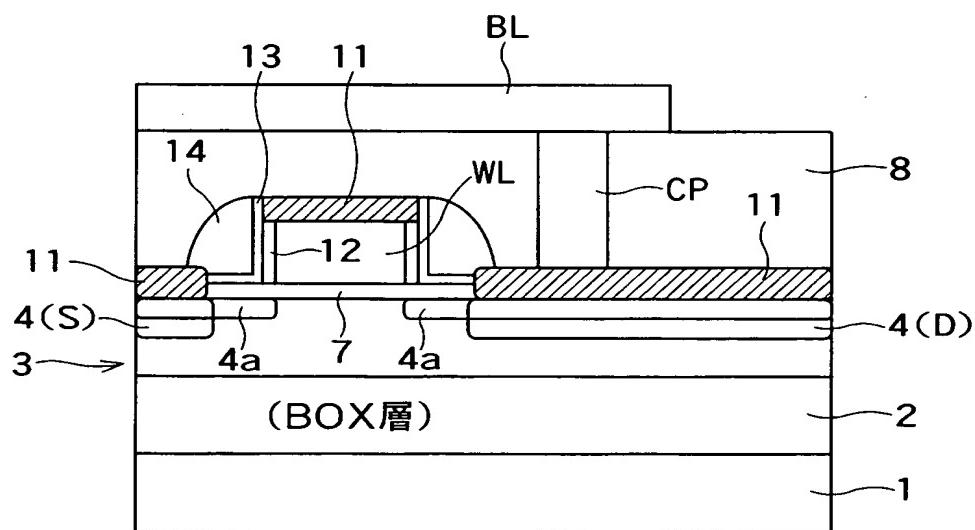
CP コンタクトプラグ

【書類名】 図面

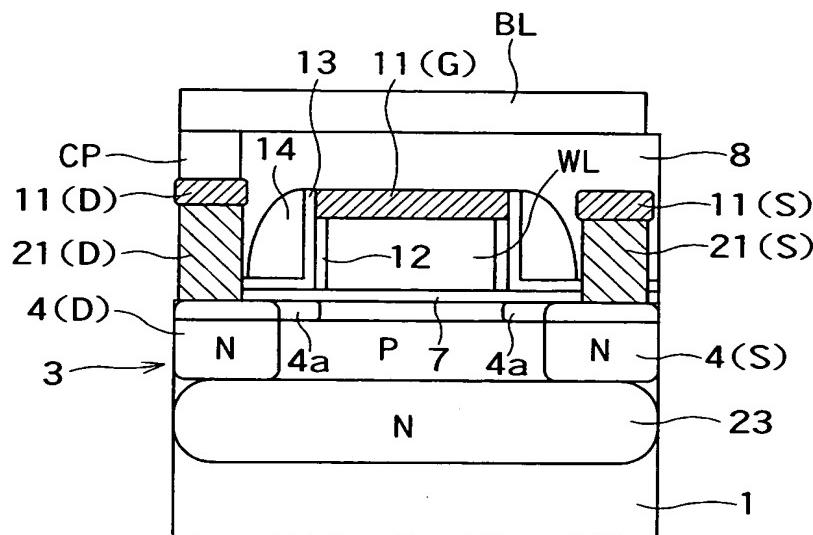
【図 1】

実施形態1
(FBC-Cell部分)

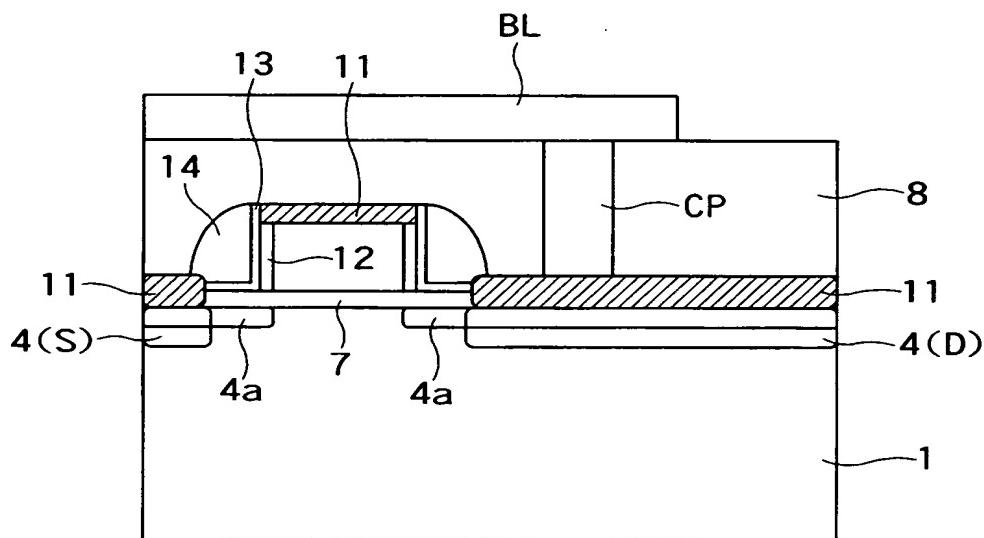
【図 2】

実施形態1
(FBC-周回路部分)

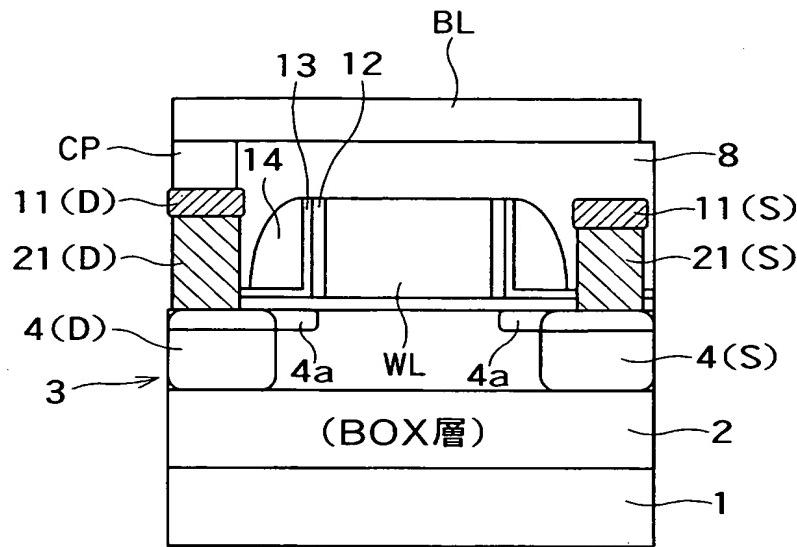
【図3】

実施形態2
(CELL部分)

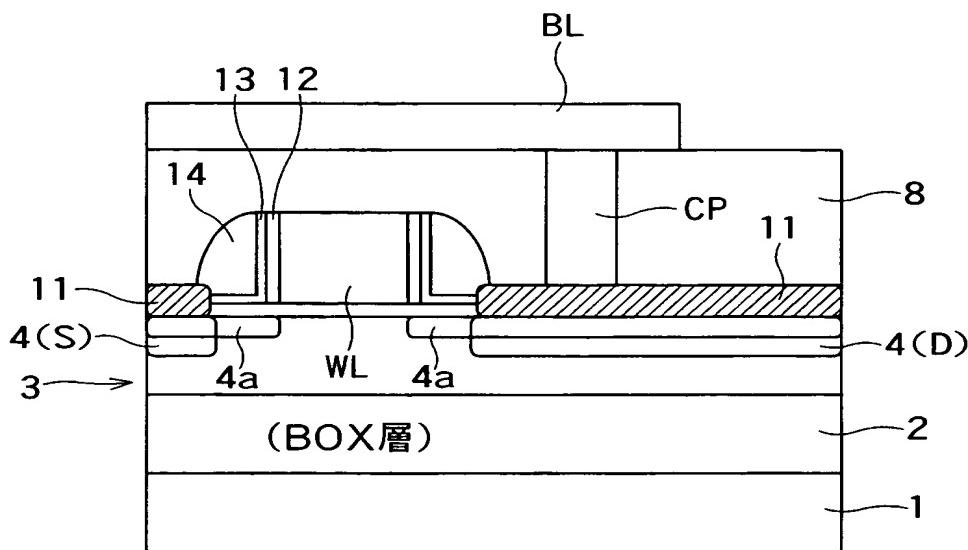
【図4】

実施形態2
(周辺回路部分)

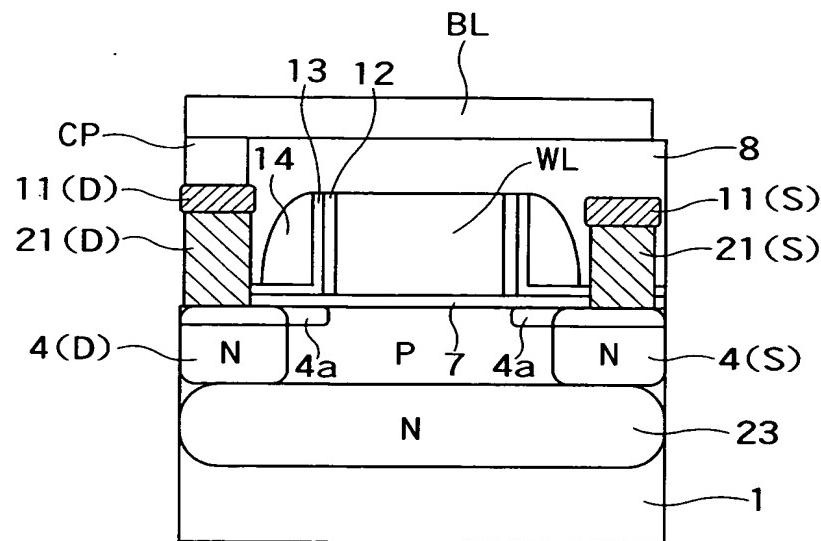
【図5】

実施形態3
(CELL部分)

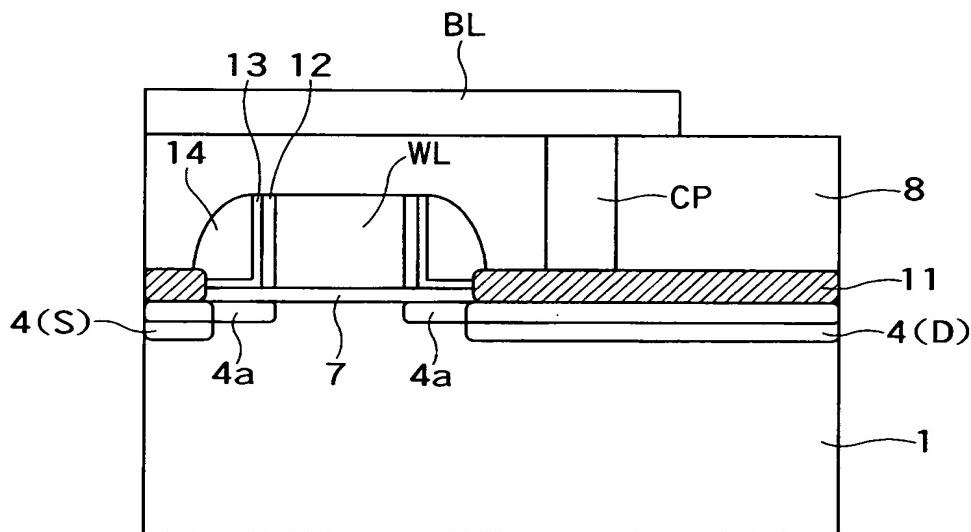
【図6】

実施形態3
(周回回路部分)

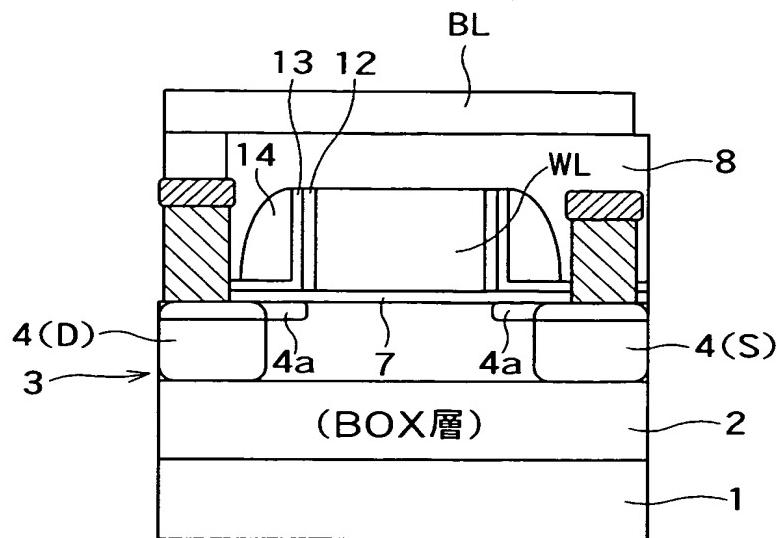
【図7】

実施形態4
(CELL部分)

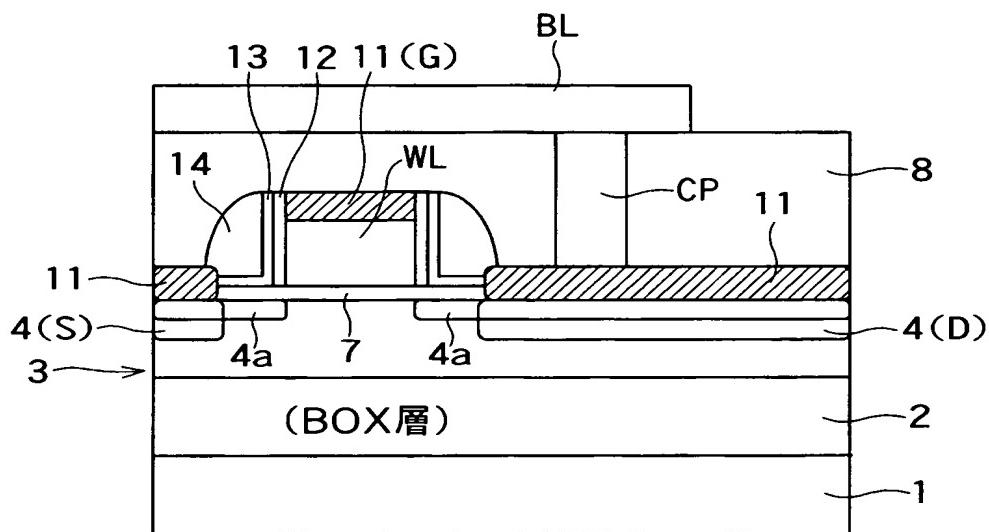
【図8】

実施形態4
(周辺回路部分)

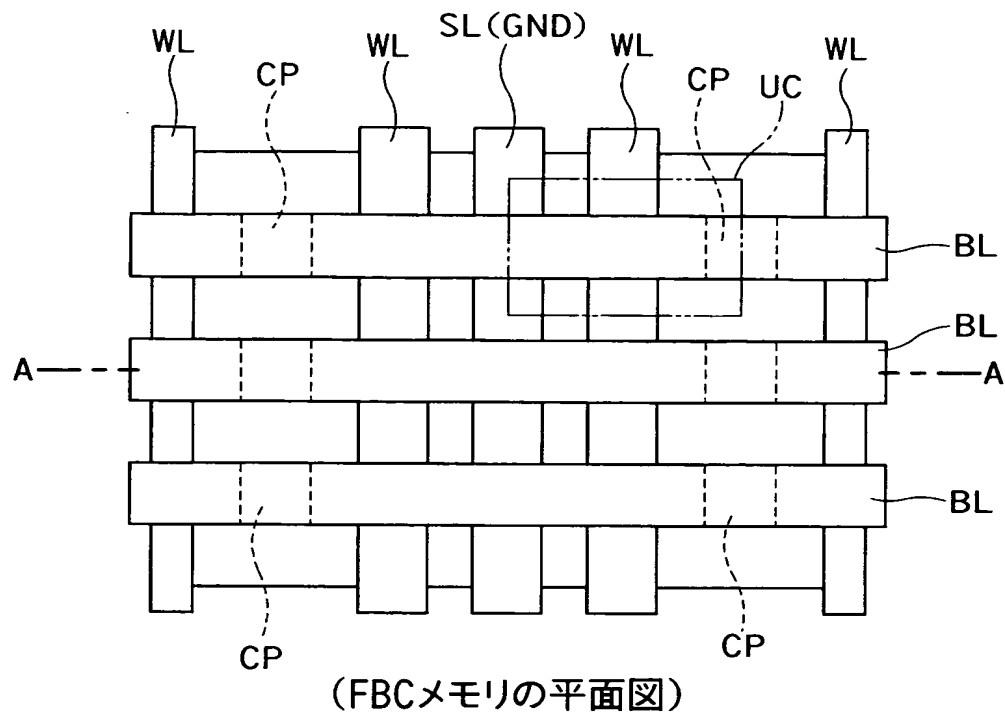
【図9】

実施形態5
(CELL部分)

【図10】

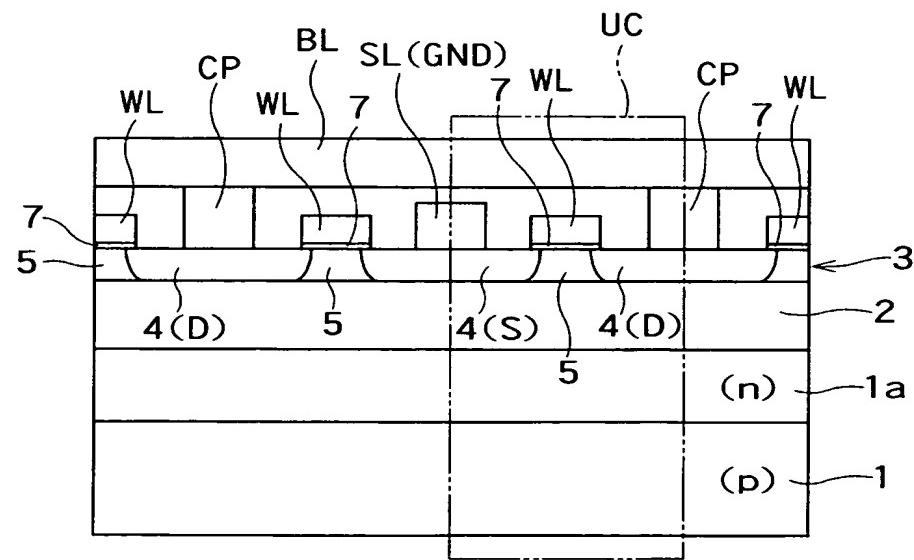
実施形態5
(周辺回路部分)

【図 1 1】



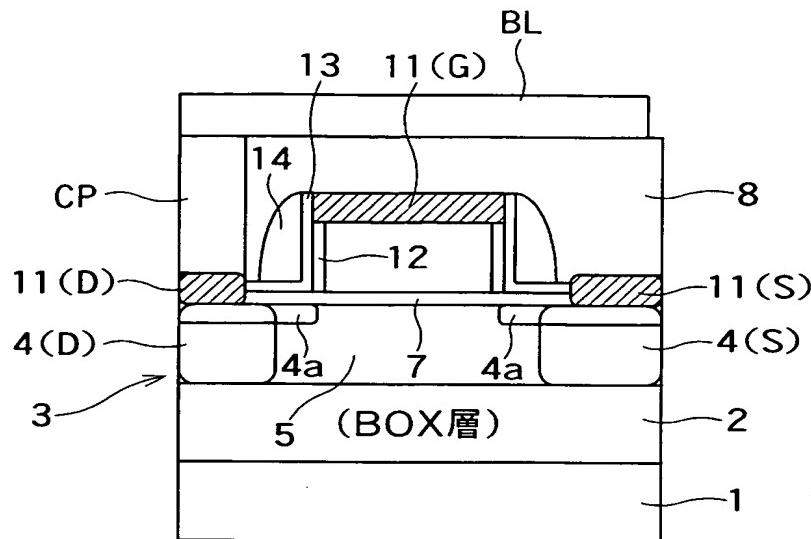
(FBCメモリの平面図)

【図 1 2】



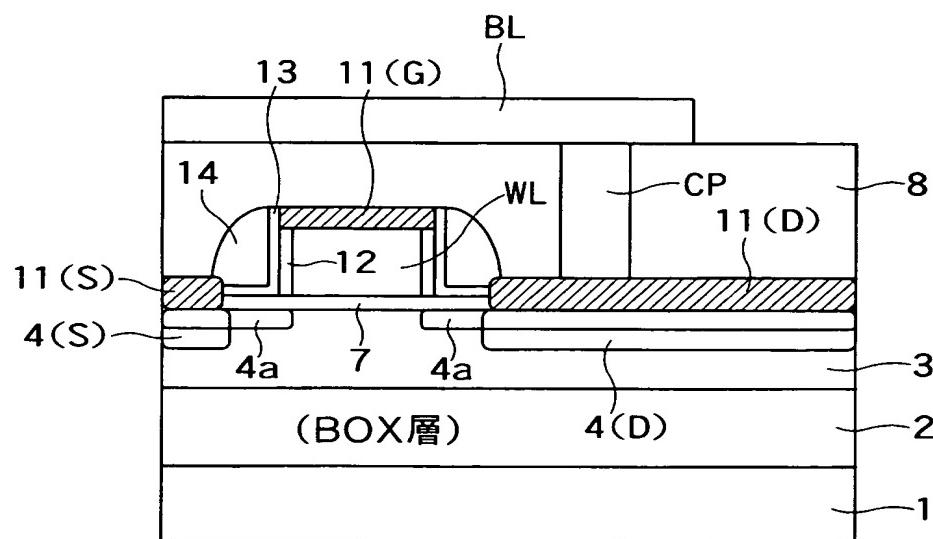
(FBCメモリの断面図)

【図13】



(FBC-Cell部分)

【図14】



(FBC-周辺回路部分)

【書類名】 要約書

【要約】

【課題】 拡散層領域の周りにホットホールによる電荷蓄積領域を配置した構造の半導体メモリにおいて、配線抵抗の低減によるホットホールの増大と、ジャンクションリリークの低減を同時に達成し、電荷蓄積能力を向上する。

【解決手段】 ソース・ドレイン領域（拡散層領域）4の上にポリシリコンプラグ21を形成し、その上部をサリサイド部11とした構造により、配線抵抗を低減して電荷蓄積領域におけるホットホールの増大を促し、同時にシリコン層3の上に直接サリサイド部を設けないことにより、欠陥を防止し、ソース・ドレイン領域（拡散層領域）4におけるジャンクションリリークを低減して電荷蓄積能力を高める。

【選択図】 図1

特願2003-054278

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝